

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-203332

(43)Date of publication of application : 27.07.2001

(51)Int.Cl. H01L 27/105
G11C 11/14
G11C 11/15
H01L 43/08

(21)Application number : 2000-361340

(71)Applicant : MOTOROLA INC

(22)Date of filing : 28.11.2000

(72)Inventor : TEHRANI SAIED
SCHI JING

(30)Priority

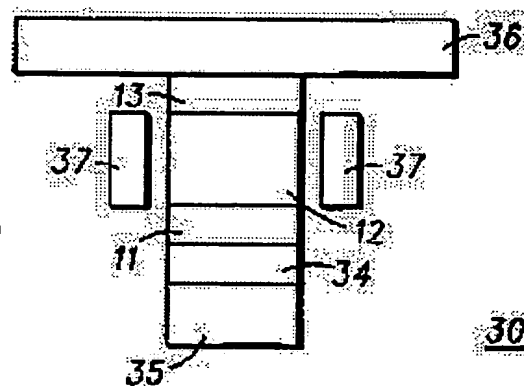
Priority number : 1999 460056 Priority date : 13.12.1999 Priority country : US

(54) MRAM HAVING INTEGRATED SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To simplify a memory element, reduce the cost of the memory and increase a density of a chip by integrating an active device in the memory element.

SOLUTION: A magnetic memory cell 10 has a semiconductor layer 12 which is formed between a 1st ferromagnetic layer 11 and a 2nd ferromagnetic layer 13 by a p-n junction or a Schottky junction. An antiferromagnetic layer 34 is provided between the 2nd ferromagnetic layer 13 and a digit line 35 in order to fix a magnetization vector in the 2nd ferromagnetic layer. Gate contacts 37 are separated from the semiconductor layer 12 in order to control the flow of electrons through the semiconductor layer 12.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-203332
(P2001-203332A)

(43) 公開日 平成13年7月27日 (2001.7.27)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 27/105		G 1 1 C 11/14	A
G 1 1 C 11/14			Z
	11/15	11/15	
H 0 1 L 43/08		H 0 1 L 43/08	Z
			S

審査請求 未請求 請求項の数 3 O L (全 6 頁) 最終頁に続く

(21) 出願番号 特願2000-361340 (P2000-361340)

(22) 出願日 平成12年11月28日 (2000.11.28)

(31) 優先権主張番号 09/460056

(32) 優先日 平成11年12月13日 (1999.12.13)

(33) 優先権主張国 米国 (US)

(71) 出願人 390009597

モトローラ・インコーポレイテッド
MOTOROLA INCORPORAT
RED

アメリカ合衆国イリノイ州シャンバーグ、
イースト・アルゴンクイン・ロード1303

(72) 発明者 サイド・テラーニ

アメリカ合衆国 アリゾナ州 85284 テ
ンピ イースト・パロミノ・ドライブ1917

(74) 代理人 100091915

弁理士 本城 雅則 (外1名)

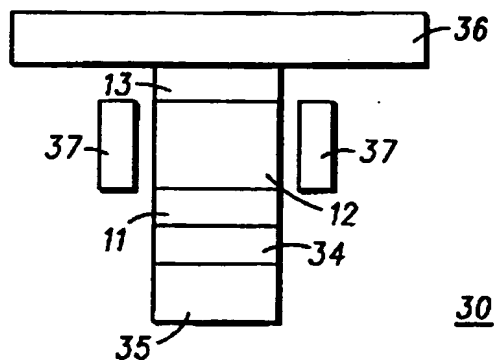
最終頁に続く

(54) 【発明の名称】 集積された半導体デバイスを有するMRAM

(57) 【要約】

【課題】 アクティブ・デバイスをメモリ要素内に集積することによって、メモリ要素が簡素化され、メモリのコストを削減し、チップの密度が増大する。

【構成】 磁気メモリ・セル (10) は、p-n 接合またはショットキー接合のいずれかにより形成される、第1強磁性体層 (11) と第2強磁性体層 (13) との間に位置する半導体層 (12) を有する。反強磁性体層 (34) は、第2強磁性体層内に磁化ベクトルを固定するために、第2強磁性体層とデジット線 (35) との間に位置する。第2の実施例において、ゲート接触 (37) は、半導体層を通して電子の流れを制御するために、半導体材料の層から離れて位置する。



30

【特許請求の範囲】

【請求項1】 第1強磁性体層(11)と、
第2強磁性体層(13)と、
前記第1強磁性体層と前記第2強磁性体層との間に位置
する半導体層(12)と、
から構成されることを特徴とする磁気メモリ・セル(3
0)。

【請求項2】 第1強磁性体材料(11)と、
第2強磁性体材料(13)と、
前記第1強磁性体材料(11)と前記第2強磁性体材料
(13)との間に位置する半導体材料(12)と、
前記第2強磁性体材料に近く、これと電氣的接触をもっ
て位置する第1ビット線(36)と、
前記第1強磁性体材料に近く、これと電氣的接触をもっ
て位置するデジット線と、
から構成されることを特徴とする磁気メモリ・セル。

【請求項3】 第1電氣的導体部分と、前記第1電氣的
導体部分と電氣的接触をもつ強磁性体材料の第1層(1
1)と、
強磁性体材料の第2層(13)と、
前記強磁性体材料の第1層と前記第2層との間に位置す
る半導体材料の層(12)と、
前記強磁性体材料の第2層と電氣的接触をもって位置す
る第2電氣的導体部分であって、前記強磁性体材料の第
1層と、前記半導体材料の層と、前記強磁性体材料の第
2層とが、センス線を形成する前記第1および第2電氣
的導体部分とともに磁気メモリを形成する、第2電氣的
導体部分と、
磁界を提供するために前記磁気メモリと隣接して位置す
る電氣的導体のデジット線(35)であって、前記デジ
ット線が活性化される時に、前記強磁性体材料の第1お
よび第2層の1つにおける磁化ベクトルが、前記1つの
長さに沿って第1方向から第2方向へ、実質的には反対
方向へ、前記1つの前記長さに沿って、少なくとも部分
的に切り替わる、電氣的導体のデジット線と、
から構成されることを特徴とする磁気メモリ。

【発明の詳細な説明】

【0001】

【発明の背景】本発明は、一般にメモリ・セルに関し、
さらに詳しくは、磁気ランダム・アクセス・メモリ・セル
(MRAM)に関する。

【0002】多様な磁気材料および構造が、不揮発性メ
モリ・エレメント、センサ、ディスク・ドライブの読み
／書き用ヘッド、および他の磁気型装置のための磁気抵
抗材料を形成するために使用されている。ある従来の磁
気抵抗エレメントは、導体層によって分離された2つの
磁気層を有する磁気抵抗材料を使用した。2つの磁気層
の磁化ベクトルは、典型的には、磁場が無ければ互いに
反平行である。1つの層の磁化ベクトルは一方を指し、
他の層の磁化ベクトルは常に逆方向を指す。かかる

磁気材料の磁気特性は、典型的には、セルの幅に沿って
磁化ベクトルの方向を維持するために、1ミクロンより
も広い幅が必要である。広い幅が必要であることが、か
かる材料に使用されるメモリの密度を制限する。さら
に、かかるメモリの状態の読み取りは、典型的には、2
位相読み取り動作を必要とし、結果として非常に長い読
み取りサイクルになる。2位相読み取り動作はまた、メ
モリの状態を決定するために別の回路を必要とするか
ら、かかるメモリのコストが高くなる。このような磁気
材料およびメモリの一例が、1988年10月25日に
ダウトン等に付与された米国特許番号4,780,84
8に開示されている。

【0003】他の従来材料は、多層巨大磁気抵抗材料
(GMR)を使用し、かつ、密度を増すためにサブミク
ロン幅を使用する。この構造において、2つの磁気層も
また導体層によって分離され、磁化ベクトルは磁気材料
の長さに対して平行である。ある実施例では、1つの磁
気材料層の磁化ベクトルは常に一方に保たれ、その
間、第2磁気層の磁化ベクトルが、第1ベクトルに対し
て平行と反平行の間で切り替わる。

【0004】これら2つの前述した材料において、一定
の「スピン」(磁化ベクトルは一定方向を指す)を有す
る電子は、二つの磁気層と導体スペーサ層との積み重ね
を通して平面内でふるまう。二つの磁気層のスピンが同
一であるときは、電子は低散乱を伴って積み重ねを通っ
て移動し、その結果低抵抗となる。磁気層の一つのスピン
が他の磁気層と逆であるときは、付与されたスピンの
電子は、他の磁気層へ容易には移動できない。これが電
子の散乱を増加させ、よって高抵抗が測定されることに
なる。

【0005】これらの材料が使用されるメモリ・セルの
論理状態を決定するために、メモリ・セルは、リファレン
ス・セルおよびアクティブ・セルを有する。リファレン
ス・セルは、一つの状態(常に「1」または常に
「0」のいずれか一方)に応答する電圧を常に提供す
る。リファレンス・セルの出力は、メモリ・セルの状態
を決定するためにアクティブ・セルの出力と比較され
る。アクティブ・セルおよびリファレンス・セルのため
の要件は、かかる要素に使用されるメモリの密度を減少
することである。かかる磁気材料およびメモリの一例
が、1994年8月30日にクング等に付与された米国
特許番号5,343,422に開示されている。

【0006】さらに、サブミクロン幅の多層磁気抵抗材
料を用いる他の従来材料は、代わりに絶縁物スペーサ
(トンネル接合として知られている)によって分離され
る2つの磁気層を含む。ある実施例において、1つの磁
気層の磁化ベクトルは、常に一方に保たれ、その間、
第2磁気層の磁化ベクトルが、第1ベクトルに対して平
行と反平行(平行であるが逆向き)の間で切り替わる。

【0007】このトンネル接合において、一定の「スピ

ン」(磁化ベクトルは一定方向を指す)を有する電子は、1つの磁気層から絶縁物スペーサを通して他の磁気層へ突き抜ける。受け手の磁気層のスピンが電子と同一であるときは、電子は容易に磁気層内へ突き抜け、よって低抵抗が測定される。受け手の磁気層の一つのスピンが電子と逆であるときは、電子は第2磁気層へ容易に突き抜けることができず、高抵抗が測定される。

【0008】この材料が使用されるメモリ・セルの論理状態を決定するために、2つの予測値間の抵抗差が検出される。かかる磁気材料およびメモリの一例が、1998年3月31日にズー等に付与された米国特許番号5、734、605に開示されている。

【0009】磁気ランダム・アクセス・メモリ(MRAM)は不揮発性メモリであって、基本的にはこれらの材料の1つと、センス線に接続されるトランジスタまたはダイオードであってもよいアクティブ・デバイスと、ワード線とを含む。MRAMは、メモリ状態を格納する磁気抵抗効果を用いる。材料の1つまたは全ての磁気層内の磁化ベクトルは、一定の閾値以上の磁界が材料に加えられた時に、一方向から逆方向へ素早く切り替えられ、材料内の磁化ベクトルの方向に従って、状態が格納されるが、例えば、ある方向を論理「0」と定義でき、他の方向を論理「1」と定義できる。加えられる磁界が無い場合でさえ、材料はこれらの状態を維持する。材料内の状態は、センス線内のセルを電流が通過することで読み出し得るが、それは2つの磁気状態の抵抗間に差があるためである。かかる磁気材料およびメモリの一例が、1998年11月17日にズー等に付与された米国特許番号5、838、608に開示されている。

【0010】上記の各メモリ要素は、要素を通る電流を制御するためにダイオードまたはトランジスタを必要とする。ダイオードまたはトランジスタは、例えばドレイン、ゲート、ソース、磁気層、絶縁物(または導体)、および磁気層等の材料と直列に接続される。各メモリ・セルのためのトランジスタは、メモリのコストを増加し、チップの密度を減少する。かかる回路構成の一例が、1998年3月31日にズー等に付与された米国特許番号5、734、605に開示されている。

【0011】さらに、導体スペーサ層が設けられたメモリ要素において、要素の抵抗は、主に、低い導体スペーサ層の抵抗によって制御されている。絶縁スペーサ層の場合において、要素の抵抗は、指数関数的に絶縁スペーサ層の厚さによって決定され、高抵抗であって、一律かつ再現的に制御することが困難である。また、抵抗は磁気ビットのサイズ(領域)に反比例する。なぜならば、抵抗はセルが大きくなるにつれて増加し、メモリ密度が高くなるほど減少するからである。

【0012】

【好適な実施例の詳細な説明】図1に関し、本発明に従ったメモリ・セルは、第1強磁性体層11および第2強

磁性体層13を有する磁気メモリ・セル10を含み、それらは半導体層12によって分離される。第1および第2強磁性体層11、13の各々は、例えばニッケル、鉄、コバルト、またはそれらの合金のような強磁性体材料の単一層であってよい。他の例としては、強磁性体層11、13は複合強磁性体でもよく、例えば、コバルト-鉄の層で覆われているニッケル-鉄-コバルトの単層、または、隣接する層の界面がコバルト-鉄である、コバルト-鉄とニッケル-鉄-コバルトとコバルト-鉄とを含む三層構造などであってもよい。

【0013】他の例としては、強磁性体層11、13の1つが、鉄-マンガン、ニッケル-マンガン、プラチナ-マンガン、イリジウム-マンガン、または同様の固定材料のような材料を基礎とした反強磁性体マンガンの層により固定され得る。

【0014】半導体層12のために適切な材料は、例えば、ゲルマニウム、シリコン、またはガリウムヒ化物等のほとんどの半導体材料を含む。第1および第2強磁性体層11、13は、典型的には異なった材料、および/または、異なった厚さ、または固定されている1つから構成され、それによって、磁気状態に依存する明瞭な抵抗変化を提供する。

【0015】本実施例において、二つの強磁性体層が示されているが、磁気セル10は、多数のセルが構成する最上部に積み重ねられた追加の層を有し得ると理解すべきである。例えば、他の半導体材料(図示せず)は、第2強磁性体層13の上に配置され、第3強磁性体(図示せず)は第2半導体層の最上部に配置され得る。

【0016】また、半導体層内へ強磁性体層内外の電子の注入を増すために、強磁性体層と半導体層との間に他の材料の界面層が存在し得ると理解すべきである。

【0017】図2には、セル10の拡大分解図が示されている。図1と同一の参照番号を有する図2の部分は、対応する図1の要素と同一である。好ましい実施例において、強磁性体層11、13は長方形であり、幅26に沿ってではなく、長さ27に沿って磁化容易軸が形成される。強磁性体層11、13の各々は磁化ベクトル21を有するが、これは基本的に長さ27に沿って、すなわち、基本的に長さ27に対して平行に配置される。さらに、幅26は、層11、13内の磁壁の幅または遷移幅よりも狭く形成される。従って、ベクトル21は幅26に対して平行であり得ない。典型的には、1.0~1.2ミクロンより狭い幅は、かかる制約を生じる。好ましい実施例において、幅26は、1ミクロンより狭く、生産技術によって製造し得る最小のものであり、長さ27は幅26より長く、一般的には5倍ないしはそれ以上である。

【0018】図1に示すように、強磁性体層11、13内のベクトル21、22は、セル10内の二つの異なった磁化状態を表す。この実施例において、強磁性体層1

1内の磁化ベクトル21は、磁気層（後述する）によって一定の方向に「固定(pinned)」される。他の実施例として、ベクトル21、22の両方を有する強磁性体層11を含んでもよい。これらは同一のベクトルであり、異なった状態を示すためにのみ異なった番号が付されていると理解すべきである。1つの状態は論理「0」、および、他の状態は論理「1」と呼ばれる。いかなる論理の定義であっても、どちらか一方の状態が与えられることは当業者により理解されているが、本例では、図1において強磁性体層11、13のベクトル21の両方が左を指す時は、セル10は論理「0」状態であり、強磁性体層13内のベクトル22が逆方向の時は、セル10は論理「1」状態である。すなわち、層11、13内の第1状態の磁化ベクトルは第1方向を指し、層11、13内の第2状態の磁化ベクトルは、逆方向を指す。特定の磁界がセル10に加わる時は、磁化ベクトルは単に逆方向（反平行）を示すが、より詳細については直ちに説明されるであろう。

【0019】セル10は、強磁性体層11または13の一方を他方より薄く設計してもよく、その結果、より小さい磁界は、厚い方の層の磁化ベクトルの切り替えを要求されるよりも、薄い方の層の磁化ベクトルを切り替えるであろう。この結果を達成するためのたの方法は、磁化ベクトルを切り替えるためにより高い磁界を要求する磁気材料で1つの層を形成することである。

【0020】強磁性体層11、13間への半導体層12の供給は、強磁性体層11から強磁性体層13へ（または、この逆も可）、半導体層12を通して垂直方向に電流の流れ（電子ドリフト）を許容する中間物を生み出す。例えば、強磁性体材料11の極性に依存するこの構造では、付与されたスピン（上がる、または下がる）を有する電子のより大きな割合が、半導体材料内に注入されるであろう。そして、電子は、半導体材料を通して移動する間中スピン極性を保ち、他の強磁性体接触13まで流れるであろう。他の強磁性体接触13の極性が、注入する強磁性体接触11と同一である場合は、電子は最小抵抗を伴って強磁性体接触13まで流れるであろう。他の強磁性体接触13の極性が、注入する強磁性体接触11と反対である場合は、いくつかの電子は強磁性体接触13まで流れることができないであろう。したがって、セルの抵抗がより高くなる。層11、13内の磁化ベクトルが反平行であるときは、セル10の抵抗は非常に高いままである。強磁性体層11、13内の磁化ベクトルが平行であるときは、セル10の抵抗は急激に低下する。

【0021】図3はセル30の単純化した断面図であるが、図1で示したものと同様であり、第1実施例と関連する。図4は、便宜上アレイ内のセルの単一の行の1つを示したにすぎず、アレイは用紙の内外および左右に広がっていることは、もちろん理解されている。セル30

は、第1および第2強磁性体層11、13およびそれらに挟まれた半導体層12を含む。

【0022】本実施例において、反強磁性体層34は、磁化ベクトル21を一定方向に固定するために、強磁性体層と電氣的接触をもって配置されている。磁気層34は、例えば、鉄-マンガンまたはニッケル-マンガンまたはプラチナ・マンガンまたはイリジウム・マンガンまたは同様の固定材料より成る。デジット線35を構成する電気伝導材料は、強磁性体層34と電氣的接触をもっている。ビット線36を構成するもう1つの電気伝導材料は、強磁性体層13と電氣的接触をもっている。

【0023】ゲート接触37は、本発明においてオプションである。ゲート接触37が無くても、半導体層12はダイオードとして寄与するが、ここではショットキーまたはp-n接合ダイオードのいずれでもよい。本例において、電子電荷の伝導は、接触35と接触36との間に与えられるバイアスの方向に依存する。ゲート37を伴って、半導体はトランジスタとして寄与し、電子伝導がチャネルを通り、電子電荷がゲートによって調整される。ゲートは、1999年8月24日にテラーニ等に付与された米国特許番号5,943,574に教示したように形成され得る。

【0024】図4に関し、セル30と同種のセルのアレイ40の実施例が、列と行に配置されたセル30とともに示されている。便宜上、30aから30dまでの4つのセルのみ示されているが、実際上組み立て可能であれば、必要とされるいかなる数のセルでも使用できる。4つのダイオード41から44が示されているが、それぞれがセル30a~30dの1つと結合される。本実施例において、セル30a~30dおよびダイオード41~44の抵抗は、双方とも半導体層12に固有のものである。

【0025】引き続き図4に関し、セル30は、ビット線36に接続する強磁性体層13、および、強磁性体層34を通してデジット線35に接続する強磁性体層11を有する。すなわち、セル30は、ビット線36およびデジット線35の選択によって唯一つにアドレスされる。セル30の抵抗の変化は、ビット線36とデジット線35との間の検出装置に接続されることによって容易かつ迅速に検出され得る。半導体層12のダイオードの作用が、セル30を通して電流の流れを制限し、アレイ40内で形成される他の電流路も実質上妨げる。

【0026】図5に関し、セル30と同種セルのアレイ50にかかる他の実施例が、行と列に配置されたセルとともに示されている。便宜上、30eから30hまでの4つのセルのみ示されているが、実際上組み立て可能であれば、必要とされるいかなる数のセルでも使用できる。複数のトランジスタ51から54が示されているが、それぞれがセル30eから30hの1つと結合される。本実施例において、セル30e~30hおよびトラ

ンジスタ51～54の抵抗は、双方とも半導体層12に固有のものである。セル30e～30hのそれぞれについて、第1強磁性体層11は、ビット線36とそれぞれのトランジスタ51～54との間に結合され、第2強磁性体層13は、デジット線35とそれぞれのトランジスタ51～54との間に結合されている。トランジスタ51から54のゲートは、例えば、ポリシリコン材料から成る。トランジスタ51から54のそれぞれのゲートは、読み取り用に選択された特定のセル（ビット）のためのスイッチとして寄与する。メモリ・セル内に組み込まれたダイオードまたはトランジスタの配列は、従来技術以上の高い密度を許容するであろう。

【0027】上記のように、アクティブ・デバイスがメモリ要素内に集積される。これによって、メモリ要素が簡素化され、メモリのコストを削減し、チップの密度が増大する。

【0028】さらに、要素の抵抗は、厚さ、および／または、半導体スペーサ層のドーピングによって容易に制御できる。これによって、抵抗を正確に制御できるので、高歩留まり低コストのメモリが達成できる。加え *20

*て、容易に制御できる要素の抵抗は、要素の抵抗を調整するために使用できるので、高速集積回路を達成することができる。

【0029】さらに、抵抗が半導体内のドーピングによって制御されるので、トンネリングの場合と異なり、半導体層の厚さを非常に薄くする必要がない。それゆえ、磁気層間を結合するネール温度(Neel)を減少でき、対称的なヒステリシス・ループが達成できる。

【図面の簡単な説明】

【図1】 本発明に従った、多層磁気メモリ・セルの単純化した側面図である。

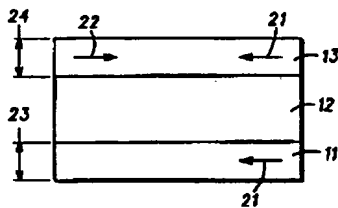
【図2】 図1に示した多層磁気メモリ・セルの単純化した分解図である。

【図3】 図1に示した多層磁気メモリ・セルを含むメモリ・ユニットの単純化した断面図である。

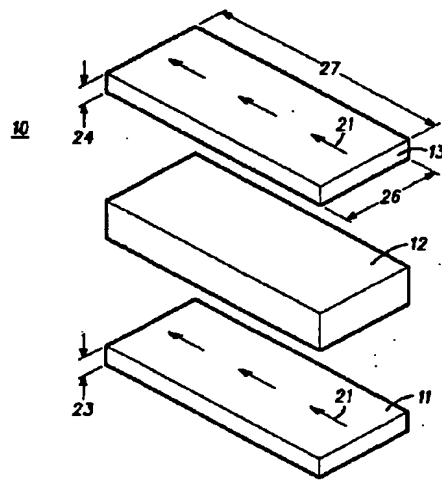
【図4】 図3に示したセルのアレイを図示したものである。

【図5】 図3に示したものと同様のセルのアレイの他の実施例を図示したものである。

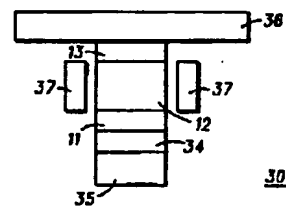
【図1】



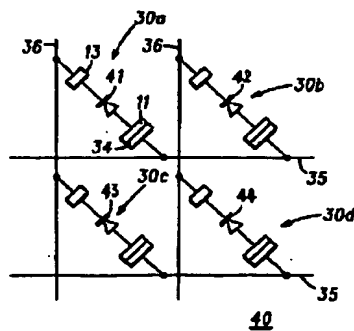
【図2】



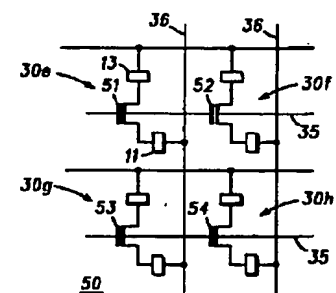
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 ジング・シー
アメリカ合衆国 ユタ州 84112 ソル
ト・レイク・シティー デパートメント・
オブ・フィジックス・ユニバーシティー・
オブ・ユタ